

CERTIFIED COPY OF
PRIORITY DOCUMENT

Jc978 U.S. PTO
09/894400
06/28/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

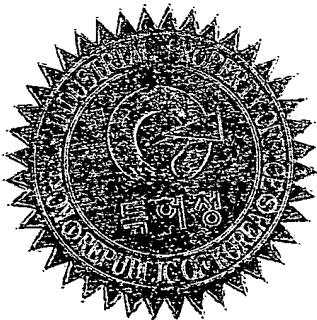
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2001년 제 673 호
Application Number

출원년월일 : 2001년 01월 05일
Date of Application

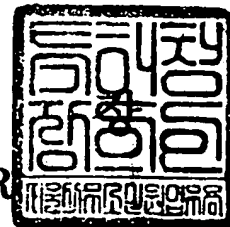
출원인 : 삼성전자 주식회사
Applicant(s)



2001 01 30
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2001.01.05
【국제특허분류】	H03L
【발명의 명칭】	범용 직렬 버스용 클럭 복원 회로
【발명의 영문명칭】	Clock recovery circuit for universal serial bus
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	조영균
【성명의 영문표기】	CHO, Young Kyun
【주민등록번호】	640318-1011717
【우편번호】	138-190
【주소】	서울특별시 송파구 석촌동 175-1 동방빌라 403호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 필 (인) 대리인 정상빈 (인) 대리인 이래호 (인)

【수수료】

【기본출원료】 15 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

범용 직렬 버스(Universal Serial Bus, USB)용 클록 복원 회로 및 클록 복원 방법이 개시된다. 본 발명의 클록 복원 회로는 위상 검출기, 쉬프트 레지스터, 다중 위상 클록 발생기 및 위상 선택기를 구비한다. 위상 검출기는 수신 데이터 및 복원 클록의 위상 차이를 검출하여 검출 신호를 발생한다. 쉬프트 레지스터는 검출 신호에 응답하여, 쉬프트되어 제어 신호를 출력한다. 다중 위상 클록 발생기는 수신 데이터를 전송한 범용 직렬 송신부에서 사용되는 클록의 주파수와 동일한 주파수를 가지는 수신부 클록을 수신하여, 수신부 클록의 주파수와 동일하고, 수신부 클록의 위상과는 각각 약 $(360/N) \times I$ (I 는 0에서 $N-1$ 사이의 정수)도(degree)만큼 차이가 나는 제1 내지 제N 위상 클록을 발생한다. 위상 선택기는 제어 신호에 응답하여 제1 내지 제N 위상 클록들 중에서 어느 하나를 선택하여 복원 클록으로서 출력한다. 그리고, N 은 2이상이고 8이하인 정수이고, 쉬프트 레지스터는 양방향으로 쉬프트 가능하다. 본 발명의 클록 복원 회로 및 클록 복원 방법에 의하여, USB 송신부로부터 수신되는 데이터에 동기되는 클록이 빠른 시간(4 클록) 내에 복원된다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

범용 직렬 버스용 클록 복원 회로{Clock recovery circuit for universal serial bus}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 의한 클록 복원 회로의 일 예를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 클록 복원 회로를 나타내는 도면이다.

도 3은 도 2에 도시된 쉬프트 레지스터의 상태 및 그에 따라 선택되는 위상 클록을 보여주는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 통신 장치에 관한 것으로서, 특히 범용 직렬 버스(Universal Serial Bus, 이하 USB라 함)의 수신부에서 사용되는 클록 복원 회로 및 클록 복원 방법에 관한 것이다.

<6> USB는 개인용 컴퓨터(PC)의 주변 장치에 대한 인터페이스 규격의 하나이다. USB를 채용하면, 각종 주변기기에 대한 인터페이스를 하나로 통합할 수 있다. 그러므로, 저렴한 비용으로 용이하게 개인용 컴퓨터와 주변기기들이 연결될 수 있다. 따라서, 많은 개

인용 컴퓨터 및 주변기기에 USB가 채용되고 있는 추세이다.

- <7> USB를 이용하여 통신하기 위해서는 USB 송신부와 USB 수신부(대개는 USB 트랜시버라고 하는 하나의 모듈로 구현됨)가 필요하다. 그리고, 일반적으로 USB 송신부와 USB 수신부는 동일한 클록(clock)을 사용한다. 따라서, USB 송신부로부터 전송된 데이터를 복원하기 위해서, USB 수신부는 USB 송신부와 동일한 주파수 및 위상을 가지는 클록을 복원해야 한다. 클록을 복원하는 방식은 크게 아날로그 방식과 디지털 방식으로 나뉜다.
- <8> 도 1은 종래 기술에 따른 아날로그 방식의 클록 복원 회로의 일 예로서, 아날로그 위상 동기 루프(Phase Locked Loop, 이하 PLL이라 함) 회로이다. 도 1에 도시된 PLL 회로는 위상 검출기(12), 루프 필터(14), 전압 제어 발진기(VCO, 16)를 구비한다.
- <9> 종래의 PLL 회로에 의하여 발생하는 복원 클록(RCCK)은 동작 초기에 임의의 위상을 가지는 신호이다. 그리고 복원 클록(RCCK)의 위상은 위상 검출기(12), 루프 필터(14)를 통하여 발생하는 제어 전압(VCON)에 의해서 제어된다. 전압 제어 발진기(16)는 제어 전압(VCON)에 따라 위상이 가변되는 복원 클록(RCCK)을 발생한다. 복원 클록(RCCK)은 수신 데이터(R_DATA)와의 위상 비교를 위하여 다시 위상 비교기(12)로 입력된다. 상기의 동작은 반복하여 이루어지며, 복원 클록(RCCK)과 수신 데이터(R_DATA)가 위상 동기되면, PLL 회로는 로킹(locking) 상태가 된다. 이와 같이 동작하는 종래의 PLL 회로는 수신 데이터(R_DATA)에 동기되는 복원 클록(RCCK)을 복원하기까지 오랜 시간이 소요되는 문제점을 가진다.
- <10> 전술한 아날로그 클록 복원 방식의 문제점을 해결하여 빠른 동기 시간을 얻기 위해 디지털 클록 복원 방식이 사용되기도 한다. 디지털 클록 복원 방식은 일반적으로 지연 동기 루프(Delay Locked Loop, 이하 DLL이라 함)를 사용한다. DLL은 디지털 지연 라인을

통해 위상을 제어하는 회로로서, 다단의 디지털 지연 라인으로 인해 크기가 크며, 전력 소모가 많은 단점이 있다.

<11> 한편, 통신 기술이 진보함에 따라, USB 규격도 진보되어, 최근에는 USB2.0이 규격 화되기에 이르렀다. USB2.0은 USB 수신부로 하여금 짧은 프리앰블(preamble) 동안, 즉, 4클록 주기 내에 클록을 복원할 것을 요구한다. 따라서, 짧은 시간(4클록 주기) 안에 클록을 복원할 수 있으며, 크기가 적고 전력 소모가 적은 USB용 클록 복원 회로가 요구된다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는 짧은 시간안에 클록을 복원함으로써 USB2.0의 규격을 만족하며, 회로의 구성이 간단한 USB용 클록 복원 회로를 제공하는 것이다.

<13> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 클록 복원 회로에서 수행되는 클록 복원 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<14> 상기 기술적 과제를 이루기 위한 본 발명은 범용 직렬 버스 수신부에서 클록을 복원하는 회로에 관한 것이다. 본 발명의 클록 복원 회로는 수신 데이터 및 복원 클록의 위상 차이를 검출하여 검출 신호를 발생하는 위상 검출기; 상기 검출 신호에 응답하여, 쉬프트되어 제어 신호를 출력하는 쉬프트 레지스터; 상기 수신 데이터를 전송한 범용 직렬 송신부에서 사용되는 클록의 주파수와 동일한 주파수를 가지는 수신부 클록을 수신하여, 상기 수신부 클록의 주파수와 동일하고, 상기 수신부 클록의 위상과는 각각 약 $(360/N) \cdot I$ (N 은 정수, I 는 0에서 $N-1$ 사이의 정수)도(degree)만큼 차이가 나는 제1 내지

제N 위상 클록을 발생하는 다중 위상 클록 발생기; 및 상기 제어 신호에 응답하여 상기 제1 내지 제N 위상 클록들 중에서 어느 하나를 선택하여 상기 복원 클록으로서 출력하는 위상 선택기를 구비한다. 그리고, 상기 쉬프트 레지스터는 양방향으로 쉬프트 가능한 것을 특징으로 한다. 바람직하기로는 상기 N은 2이상이고 8이하인 정수이다. 또한 바람직하기로는, 상기 클록 복원 회로는 상기 수신부 클록을 발생하는 수신부 클록 발생기를 더 구비한다.

<15> 상기 다른 기술적 과제를 이루기 위한 본 발명은 범용 직렬 버스 수신부에서 클록을 복원하는 방법에 관한 것이다. 본 발명의 클록 복원 방법은 (a) 수신 데이터를 전송하는 범용 직렬 송신부에서 사용되는 클록의 주파수와 동일한 주파수를 가지는 수신부 클록을 수신하여, 상기 수신부 클록의 주파수와 동일하고, 상기 수신부 클록의 위상과는 각각 약 $(360/N) \cdot I$ (N은 정수, I는 0에서 N-1 사이의 정수)도만큼 차이가 나는 제1 내지 제N 위상 클록을 발생하는 단계; (b) 상기 수신 데이터 및 복원 클록의 위상 차이를 검출하여 검출 신호를 발생하는 단계; (c) 상기 검출 신호에 응답하여 쉬프트되는 쉬프트 레지스터로부터 제어 신호를 출력하는 단계; 및 (d) 상기 제어 신호에 따라, 상기 제1 내지 제N 위상 클록들 중에서 어느 하나를 선택하여 상기 복원 클록으로서 출력하는 단계를 구비한다. 그리고, 상기 쉬프트 레지스터는 양방향으로 쉬프트 가능한 것을 특징으로 한다. 바람직하기로는, 상기 N은 2이상이고 8이하인 정수이다.

<16> 본 발명의 클록 복원 회로에 의하여, USB 송신부로부터 전송되어 USB 수신부로 입력되는 데이터에 동기되는 클록이 빠른 시간(4 클록) 내에 복원된다.

<17> 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그리고 본 명세서에서는 설명의 편의상 각 도면을 통하여 동일한

역할을 수행하는 신호는 동일한 참조 부호로 나타낸다.

<18> 도 2는 본 발명의 일 실시예에 따른 USB용 클록 복원 회로를 나타내는 블록도이다.

이를 참조하면, 본 발명의 일 실시예에 따른 클록 복원 회로는 위상 검출기(22), 쉬프트 레지스터(24), 위상 선택기(26), 다중 위상 클록 발생기(28) 및 수신부 클록 발생기(30)를 구비한다.

<19> 위상 검출기(22)는 USB 송신부(미도시)로부터 전송된 수신 데이터(R_DATA)를 일 단자로 입력받고, 복원 클록(RCCK)을 다른 일 단자로 입력받아, 두 신호(R_DATA, RCCK)의 위상을 비교, 검출하여 검출 신호(DS)를 발생한다. 쉬프트 레지스터(24)는 양방향으로 쉬프트 가능한 레지스터로서, 검출 신호(DS)에 응답하여 일 방향 또는 다른 방향으로 쉬프트된다. 위상 선택기(26)는 쉬프트 레지스터(24)로부터 출력되는 제어 신호(CON)에 응답하여, 다중 위상 클록 발생기(28)로부터 출력되는 다수의 위상 클록들(P1~P8) 중에서 어느 하나를 선택하여 복원 클록(RCCK)으로서 출력한다.

<20> 다중 위상 클록 발생기(28)는 수신부 클록 발생기(30)로부터 발생하는 수신부 클록(RXCK)을 수신하여, 수신부 클록(RXCK)과 주파수는 동일하고, 위상은 약 $(360/N) \cdot I$ 도($^{\circ}$)만큼 각각 차이가 나는 제1 내지 제N 위상 클록(P1~P8)을 발생한다. 여기서, I는 0에서 N-1 사이의 정수이다. 따라서, 제1 내지 제N 위상 클록(P1~P8)은 수신부 클록(RXCK)의 한 주기가 N 등분되었을 때, 그 N등분한 만큼씩 위상 차이가 나는 클록 신호이다.

<21> 바람직하기로는, N은 8이다. 즉, 다중 위상 클록 발생기(28)에서 출력되는 위상 클록들(P1~P8)의 수는 8인 것이 바람직하다. 4 클록 주기안에 동기가 이루어지면서도, 동기되었을 때의 위상 에러가 가장 적은 경우가 N이 8인 경우이기 때문이다. 따라서, 본 실시예에서도 8개의 위상 클록들(P1~P8)이 다중 위상 클록 발생기(28)에서 출력되는 것

으로 가정된다. 그러므로, 제1 내지 제8 위상 클록(P1~P8)은 각각 수신부 클록(RXCK)의 위상과 약 0도, 45도, 90도, 135도, 180도, 225도, 270도 및 315도 차이가 나고, 수신부 클록(RXCK)과 주파수는 동일한 클록 신호이다.

<22> 다중 위상 클록 발생기(28)는 주파수는 동일하고, 위상은 각각 다른 신호를 발생시키는 다중 위상 아날로그 PLL 회로로 구현될 수 있다.

<23> 수신부 클록 발생기(30)는 수신부 클록(RXCK)을 발생한다. 수신부 클록(RXCK)은 USB 송신부(미도시)에서 수신 데이터(R_DATA)를 전송하기 위해 사용되는 클록과 동일한 주파수를 가지는 클록이다. 수신부 클록(RXCK)은 크리스탈 발진기(crystal oscillator)와 같은 클록 발생기로부터 직접 발생하는 클록일 수도 있다. 또는 크리스탈 발진기(crystal oscillator)에서 발생된 클록을 원하는 주파수로 체배한 클록일 수도 있다.

<24> 본 실시예에서 위상 클록들(P1~P8)의 수는 8이므로, 위상 선택기(26)는 8개의 위상 클록들(P1~P8) 중에서 하나를 선택하여 복원 클록(RCCK)으로서 발생한다. 따라서, 위상 선택기(26)를 제어하는 제어 신호(CON)를 발생하는 쉬프트 레지스터(24)는 8가지 상태를 가지는 쉬프트 레지스터인 것이 바람직하다.

<25> 쉬프트 레지스터(24)의 동작 및 다수의 위상 클록들(P1~P8)에 대한 선택을 좀 더 상세히 설명하기 위하여, 도 3을 함께 참조한다.

<26> 도 3은 쉬프트 레지스터(24)의 상태 및 그에 따라 선택되는 위상 클록을 보여준다. 이를 참조하면, 쉬프트 레지스터(24)는 양방향으로 쉬프트 가능한 레지스터로서, 8개의 상태(S1~S8)를 가진다. 각각의 상태에 해당되는 제어 신호(CON)에 의해 제1 내지 제N 위상 클록들(P1~P8) 중에서 하나의 위상 클록이 선택되어, 복원 클록(RCCK)으로서 출력된

다. 도 3에서 보여지듯이, 쉬프트 레지스터(24)가 S1 상태인 경우에는 제1 위상 클록(P1)이, S2 상태인 경우에는 제2 위상 클록(P2)이 선택된다. 이와 같은 방식으로, 쉬프트 레지스터(24)의 상태가 S3일 때는 제3 위상 클록(P3)이, S4 일 때는 제4 위상 클록(P4)이, ..., S8일 때는 제8 위상 클록(P8)이 각각 선택된다.

<27> 그리고, 쉬프트 레지스터(24)를 반시계방향 또는 시계방향으로 쉬프트하게 하는 것은 위상 검출기(22)에서 출력되는 검출 신호(DS)이다. 검출 신호(DS)는 로직 로우 또는 로직 하이로 가지는 디지털 신호일 수 있다. 예를 들어, 수신 데이터(R_DATA)의 위상이 복원 클록(RCCK)의 위상보다 빠르면 로직 하이로 갖는 검출 신호(DS)가 출력되고, 수신 데이터(R_DATA)의 위상이 복원 클록(RCCK)의 위상보다 늦으면 로직 로우로 갖는 검출신호(DS)가 출력된다. 그리고, 예를 들어, 검출 신호(DS)가 로직 하이이면 쉬프트 레지스터(24)는 반시계 방향으로 쉬프트되고, 검출 신호(DS)가 로직 로우이면 시계 방향으로 쉬프트되어 상태가 천이된다.

<28> 도 3에서, 쉬프트 레지스터(24)의 초기 상태는 S1이라고 가정하자. 그리고, 수신 데이터(R_DATA)와 위상 동기되는 위상 클록은 제4 위상 클록(P4)이라고 가정하자. 그러면, 검출 신호(DS)에 의해, 쉬프트 레지스터(24)는 반시계 방향으로 쉬프트된다. 즉, 반시계 방향으로 3번의 쉬프트를 거쳐 S4 상태가 되고, 그에 대응되는 위상 클록인 제4 위상 클록(P4)이 복원 클록(RCCK)으로서 선택된다. 만약 수신 데이터(R_DATA)와 위상 동기되는 위상 클록이 제7 위상 클록(P7)이라고 가정하면, 쉬프트 레지스터(24)는 초기 상태 S1에서 시계 방향으로 두 번의 쉬프트를 거쳐 S7 상태가 되도록 제어 신호(DS)에 의해 제어된다. 따라서, 가장 위상 차이가 많이 나는 경우(180도의 위상 차이가 나는 경우)라도 4 클록 안에 복원 클록(RCCK)의 위상이 수신 데이터(R_DATA)에 동기될 수 있다.

<29> 만약, 위상 클록들의 수, 즉 N 을 8보다 작게 한다면, 예를 들어 4로 한다면, 더 빠른 동기를 얻을 수 있다. 대신에, 위상의 해상도가 떨어지게 된다. 즉, N 이 8일 때, 각 위상 클록간의 위상 차이는 $360/8(45)$ 도인데 반하여, N 이 4인 경우에는 각 위상 클록간의 위상 차이는 $360/4(90)$ 도이다.

<30> 전술한 바와 같이 본 발명의 클록 복원 회로는 통상의 DLL 회로와 같이 하나의 위상 클록을 지연시켜 수신 데이터에 동기되는 복원 클록을 얻는 것이 아니라, 다중 위상 클록 중에서 가장 위상 에러가 없는 하나의 위상 클록을 선택하여, 복원 클록을 얻음으로써, 클록 복원 시간이 빠르다. 또한, 다단의 지연 라인 등을 사용하지 않음으로써, 면적 감소는 물론 소비 전력도 절감될 수 있다.

<31> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<32> 본 발명의 클록 복원 회로에 의하여, 범용 직렬 버스(USB)를 사용하는 장치에서 필요한 클록이 빨리 복원될 수 있다. 특히, 본 발명의 클록 복원 회로는 간단한 회로 구성으로 전력 소모 및 차지하는 면적이 적도록 구현 가능하며, 4클록 안에 클록 복원을 해야 하는 USB2.0의 규격을 만족한다.

【특허청구범위】**【청구항 1】**

범용 직렬 버스 수신부에서 클록을 복원하는 회로에 있어서,

수신 데이터 및 복원 클록의 위상 차이를 검출하여 검출 신호를 발생하는 위상 검출기;

상기 검출 신호에 응답하여 쉬프트되어, 제어 신호를 출력하는 쉬프트 레지스터;

상기 수신 데이터를 전송한 범용 직렬 버스 송신부에서 사용되는 클록의 주파수와 동일한 주파수를 가지는 수신부 클록을 수신하여, 상기 수신부 클록의 주파수와 동일하고, 상기 수신부 클록의 위상과는 각각 약 $(360/N) \cdot I$ (N 은 정수, I 는 0에서 $N-1$ 까지의 정수)도만큼 차이가 나는 제1 내지 제 N 위상 클록을 발생하는 다중 위상 클록 발생기; 및

상기 제어 신호에 응답하여 상기 제1 내지 제 N 위상 클록들 중에서 어느 하나를 선택하여 상기 복원 클록으로서 출력하는 위상 선택기를 구비하며,

상기 쉬프트 레지스터는 양방향으로 쉬프트 가능한 것을 특징으로 하는 클록 복원 회로.

【청구항 2】

제1 항에 있어서, 상기 N 은

2이상이고 8이하인 정수인 것을 특징으로 하는 클록 복원 회로.

【청구항 3】

제2 항에 있어서, 상기 N은

8인 것을 특징으로 하는 클록 복원 회로.

【청구항 4】

제1 항에 있어서, 상기 쉬프트 레지스터는

상기 검출 신호가 소정의 제1 레벨일 때, 상기 양방향 중의 일 방향으로 쉬프트되고,

상기 검출 신호가 소정의 제2 레벨일 때, 상기 양방향 중의 나머지 일 방향으로 쉬프트되는 것을 특징으로 하는 클록 복원 회로.

【청구항 5】

제1 항에 있어서, 상기 다중 위상 클록 발생기는

다중 위상 아날로그 PLL 회로를 이용하여 구현되는 것을 특징으로 하는 클록 복원 회로.

【청구항 6】

제1 항에 있어서, 상기 클록 복원 회로는

상기 수신부 클록을 발생하는 수신부 클록 발생기를 더 구비하는 것을 특징으로 하는 클록 복원 회로.

【청구항 7】

제6 항에 있어서, 상기 수신부 클록 발생기는

소정의 주파수를 가지는 클록 신호를 발생하는 크리스탈 오실레이터; 및

상기 클록 신호의 주파수를 체배하여 상기 수신부 클록을 발생하는 주파수 체배기를 포함하는 것을 특징으로 하는 클록 복원 회로.

【청구항 8】

범용 직렬 버스 수신부에서 클록을 복원하는 방법에 있어서,

(a) 수신 데이터를 전송하는 범용 직렬 송신부에서 사용되는 클록의 주파수와 동일한 주파수를 가지는 수신부 클록을 수신하여, 상기 수신부 클록의 주파수와 동일하고, 상기 수신부 클록의 위상과는 각각 약 $(360/N) \cdot I$ (N 은 정수, I 는 0에서 $N-1$ 사이의 정수) 도만큼 차이가 나는 제1 내지 제N 위상 클록을 발생하는 단계;

(b) 상기 수신 데이터 및 복원 클록의 위상 차이를 검출하여 검출 신호를 발생하는 단계; 및

(c) 상기 검출 신호에 응답하여 쉬프트되는 쉬프트 레지스터로부터 제어 신호를 출력하는 단계;

(d) 상기 제어 신호에 따라, 상기 제1 내지 제N 위상 클록들 중에서 어느 하나를 선택하여 상기 복원 클록으로서 출력하는 단계를 구비하며,

상기 N 은 2이상이고 8이하인 정수이고,

상기 쉬프트 레지스터는 양방향으로 쉬프트 가능한 것을 특징으로 하는 클록 복원 방법.

【청구항 9】

제8 항에 있어서, 상기 N은

2이상이고 8이하인 정수인 것을 특징으로 하는 클록 복원 방법.

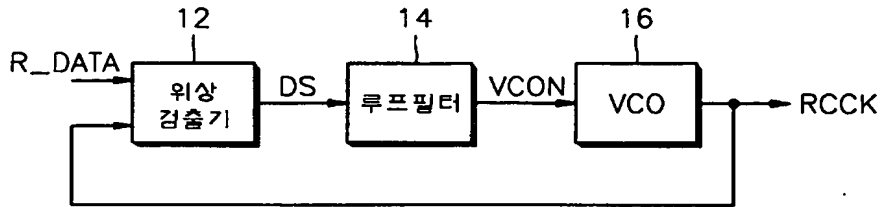
【청구항 10】

제9 항에 있어서, 상기 N은

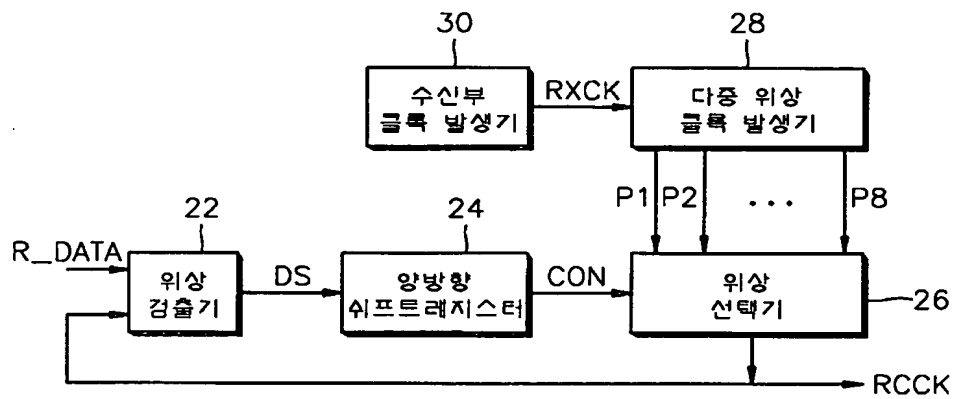
8인 것을 특징으로 하는 클록 복원 방법.

【도면】

【도 1】



【도 2】



【도 3】

